

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF SEMICONDUCTOR MODULE

Publication number: JP2004228392

Publication date: 2004-08-12

Inventor: YAMAGUCHI KOJI

Applicant: SEIKO EPSON CORP

Classification:

- international: H01L23/52; H01L21/304; H01L21/3205; H01L21/44;
H01L21/46; H01L21/768; H01L23/48; H01L25/065;
H01L25/07; H01L25/18; H01L23/52; H01L21/02;
H01L21/70; H01L23/48; H01L25/065; H01L25/07;
H01L25/18; (IPC1-7): H01L25/065; H01L21/304;
H01L21/3205; H01L25/07; H01L25/18

- European: H01L21/768T; H01L23/48J; H01L25/065S

Application number: JP20030015517 20030124

Priority number(s): JP20030015517 20030124

Also published as:

US6916725 (B2)
US2004161926 (A)

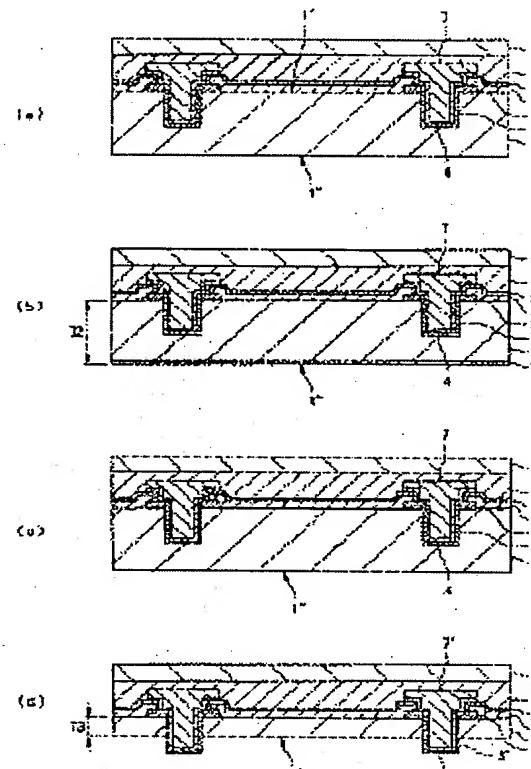
[Report a data error](#)

Abstract of JP2004228392

PROBLEM TO BE SOLVED: To efficiently form a through electrode without degrading the quality of the same.

SOLUTION: A semiconductor substrate 1 is spin-etched from a rear side 1", so that the semiconductor substrate 1 is made thinner. An opening part 3 is penetrated to form a through hole 3' on the semiconductor substrate 1. The tip of an embedded electrode 7 is made exposed from the through hole 3 of the semiconductor substrate 1, forming a through-electrode 7'.

COPYRIGHT: (C)2004,JPO&NCIPI



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-228392
(P2004-228392A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int.C1.⁷
H01L 25/065
H01L 21/304
H01L 21/3205
H01L 25/07
H01L 25/18

F I
HO1L 25/08 Z
HO1L 21/304 622X
HO1L 21/88 J

テーマコード(参考)
5FO33

審査請求 未請求 請求項の数 10 O.L. (全 12 頁)

(21) 出願番号
 特願2003-15517 (P2003-15517)
 (22) 出願日
 平成15年1月24日 (2003.1.24)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100066980
 弁理士 森 哲也
 (74) 代理人 100075579
 弁理士 内藤 嘉昭
 (74) 代理人 100103850
 弁理士 崔 秀▲てつ▼
 (72) 発明者 山口 浩司
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

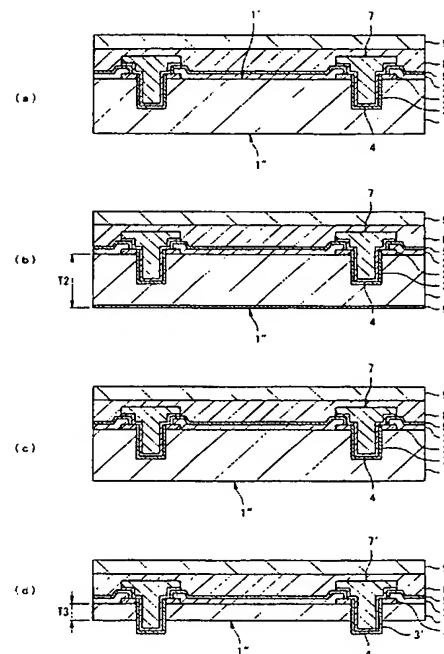
(54) 【発明の名称】半導体装置の製造方法および半導体モジュールの製造方法

(57) 【要約】

【課題】貫通電極の品質を劣化させることなく、貫通電極を効率よく形成する。

【解決手段】裏面1'から半導体基板1をスピネッティングすることにより、半導体基板1を薄型化し、開口部3を貫通させて、半導体基板1に貫通孔3'を形成する。埋め込み電極7の先端を半導体基板1の貫通孔3'から露出させ、貫通電極7'を形成する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板に開口部を形成する工程と、
前記開口部内に埋め込み電極を形成する工程と、
前記半導体基板の前記開口部が形成された面の裏面から、前記半導体基板をスピニエッチングすることにより、前記半導体基板を薄型化して前記半導体基板に前記開口部を貫通させる工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 2】

さらに、前記開口部内に埋め込み電極を形成する工程の前に、前記開口部内に絶縁膜を形成する工程を備え、
前記半導体基板に前記開口部を貫通させる工程において、前記絶縁膜の少なくとも一部を露出する工程を備えることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

さらに、前記半導体基板に前記開口部を貫通させる工程の後に、前記絶縁膜を除去して、前記埋め込み電極を露出する工程と、を備えることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】

さらに、前記半導体基板に前記開口部を貫通させる工程の前に、前記裏面から前記半導体基板を研削する工程を備えることを特徴とする請求項 1 から 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

前記半導体基板に前記開口部を貫通させる工程において、
前記半導体基板のエッティングレートは、経時変化することを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】

前記半導体基板に前記開口部を貫通させる工程において、
前記半導体基板のエッティングレートは、第 1 のエッティングレートから前記第 1 のエッティングレートよりも遅い第 2 のエッティングレートに変化することを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】

前記埋め込み電極を露出する工程において、露出された前記絶縁膜を研削して、前記絶縁膜を除去することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 8】

前記半導体基板に前記開口部を貫通させる工程の前に、前記半導体基板の前記開口部が形成された面に保持部材を貼り付ける工程をさらに備えることを特徴とする請求項 1 から 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】

前記保持部材は、基材と、前記基材の表面に設けられた粘着層とを含み、
前記基材は、テープ、フィルム、透光性基板及び他の半導体基板のいずれか一つであることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】

第 1 の半導体基板に開口部を形成する工程と、
前記開口部内に埋め込み電極を形成する工程と、
前記半導体基板の前記開口部が形成された面の裏面から、前記半導体基板をスピニエッチングすることにより、前記半導体基板を薄型化して前記半導体基板に前記開口部を貫通させる工程と、
前記第 1 の半導体基板を電極を有する第 2 の半導体基板上に搭載し、前記埋め込み電極と前記電極とを電気的に接続する工程と、
を備えることを特徴とする半導体モジュールの製造方法。

【発明の詳細な説明】

10

20

30

40

50

【0001】**【発明の属する技術分野】**

本発明は半導体装置の製造方法および半導体モジュールの製造方法に関し、特に、基板に貫通電極を形成する方法に適用して好適なものである。

【0002】**【従来の技術】**

従来の半導体装置では、半導体チップの積層構造を実現するため、半導体基板に貫通孔を形成し、その貫通孔に埋め込まれた貫通電極を介して半導体基板間の接続を行う方法があった。

図8は、従来の半導体装置の製造方法を示す断面図である。

10

【0003】

図8(a)において、半導体基板51の表面51'にはパッド電極52が形成されている。パッド電極52を介して開口部53を半導体基板51に形成する。次に、図8(b)、(c)に示すように、開口部53内に絶縁膜54を形成し、開口部53内に埋め込み電極57を形成する。図8(d)に示すように、半導体基板51の裏面51''をドライエッチングすることにより、半導体基板51を薄型化し、開口部53を半導体基板51に貫通させる。これにより、半導体基板51に貫通孔53'を形成し、絶縁膜54を除去して、埋め込み電極57の先端を露出させる。これにより、貫通電極57'を形成する。

【0004】**【発明が解決しようとする課題】**

20

しかしながら、従来の半導体装置の製造方法では、貫通電極57'の先端を露出させる場合には、ドライエッチングが用いられていた。このように、ドライエッチングを用いる方法では、エッチング速度が遅い。このため、半導体装置のスループットが低下するという問題があった。

【0005】

対して、エッチング速度を速めるために、ウェットエッチングを用いると、半導体基板の位置によってエッチング量にばらつきが生じる場合があった。このため、貫通電極57'が半導体基板51の表面から突出した部分において、高さのばらつきが生じる場合があった。この場合、他の半導体基板や回路基板に半導体基板51を接続する際に、他の半導体基板や回路基板に、半導体基板51の端部が接触し、信頼性が低下するという問題があった。

30

【0006】

そこで、本発明の目的は、信頼性の高い半導体装置を実現し、形状よく貫通電極を形成することが可能な半導体装置の製造方法および半導体モジュールの製造方法を提供することである。

【0007】**【課題を解決するための手段】**

40

(1) 本発明の半導体装置の製造方法によれば、半導体基板に開口部を形成する工程と、前記開口部内に埋め込み電極を形成する工程と、前記半導体基板の前記開口部が形成された面の裏面から、前記半導体基板をスピニエッチングすることにより、前記半導体基板を薄型化して前記半導体基板に前記開口部を貫通させる工程と、を備えることを特徴とする。

【0008】

半導体基板をスピニエッチングにより薄型化する。これにより、半導体基板に開口部を貫通させて、埋め込み電極を半導体基板に貫通する。これにより、半導体基板の被エッチング面の平坦性を損なうことなく、貫通電極を半導体基板に形成することが可能となる。また、短時間に、半導体基板を薄型化して、貫通電極を形成することができる。このため、半導体装置の信頼性を低下させることなく、貫通電極を効率よく形成でき、半導体装置のスループットを向上させることが可能となる。

(2) また、本発明の半導体装置は、上記(1)において、さらに、前記開口部内に埋

50

め込み電極を形成する工程の前に、前記開口部内に絶縁膜を形成する工程を備え、前記半導体基板に前記開口部を貫通させる工程において、前記絶縁膜の少なくとも一部を露出する工程を備えることを特徴としてもよい。これにより、絶縁膜がスピニエッチングのエッチングトップ層として機能できるため、エッチングの終点が検出しやすい。従って、貫通電極の半導体基板表面からの突出高さをより均一化することができる。

(3) さらに、上記(2)において、前記半導体基板に前記開口部を貫通させる工程の後に、前記絶縁膜を除去して、前記埋め込み電極を露出する工程と、を備えることを特徴としてもよい。これにより、埋め込み電極がスピニエッチングによって腐食するのを防止することができる。従って、半導体装置の信頼性をさらに向上することができる。

(4) さらに、上記(1)から(3)のいずれかに記載の製造方法において、前記半導体基板に前記開口部を貫通させる工程の前に、前記裏面から前記半導体基板を研削する工程を備えることを特徴としてもよい。これにより、半導体基板の薄型化の速度をさらに向上させることができるとなり、スループットの低下を抑制しつつ、半導体基板の被エッチング面の平坦性を向上させることができる。

10

(5) また、上記(1)から(4)のいずれかに記載の半導体装置の製造方法において、前記半導体基板に前記開口部を貫通させる工程において、前記半導体基板のエッチングレートは、経時変化することを特徴としてもよい。この場合、前記半導体基板のエッチングレートは、第1のエッチングレートから前記第1のエッチングレートよりも遅い第2のエッチングレートに変化することを特徴としてもよい。これにより、エッチングレートが長時間に渡って低下することを防止しつつ、かつ、半導体基板のエッチング量の面内バラツキを低減させることができるとなる。これにより、半導体装置のスループットの低下を抑制しつつ、貫通電極の突出高さの均一性を向上させることができるとなる。

20

(6) また、上記(3)記載の半導体装置の製造方法において、前記埋め込み電極を露出する工程において、露出された前記絶縁膜を研削して、前記絶縁膜を除去することを特徴としてもよい。これにより、埋め込み電極の先端の絶縁膜は、研削面に効率よく押し当てることが可能であり、埋め込み電極を効率よく露出させることができるとなる。従って、半導体装置のスループットを向上させることができるとなる。前記研削は、機械的研削及びCMPの少なくともいずれか一方であってもよい。機械的研削を用いれば、研削速度を容易に向上させることを可能として、スループットを向上させることができるとなる。また、CMPを用いれば、半導体基板に与える損傷を抑制し、半導体基板表面の平坦性を向上しつつ、半導体基板の薄型化または絶縁膜の除去を容易に行うことが可能となる。

30

(7) 上記(1)から(6)のいずれかに記載の半導体装置の製造方法において、前記半導体基板に前記開口部を貫通させる工程の前に、前記半導体基板の前記開口部が形成された面に保持部材を貼り付ける工程をさらに備えることを特徴としてもよい。これにより、半導体基板を薄型化した場合においても、半導体基板の反りや割れを防止することができとなり、半導体基板の大口径化を可能としつつ、半導体基板の取り扱いを容易化して、半導体装置のスループットを容易に向上させることができるとなる。

30

(8) 上記(7)記載の半導体装置の製造方法において、前記保持部材は、基材と、前記基材の表面に設けられた粘着層とを含み、前記基材は、テープ、フィルム、ガラス基板及びシリコン基板のいずれか一つであることを特徴としてもよい。ここで、保持部材として、粘着層が形成されたテープまたはフィルムを用いることにより、保持部材の貼り付けおよび引き剥がしを容易に行うことが可能となる。また、基材に透光性基板を用いることにより、透光性基板を介して粘着層に光を当てることが可能となり、保持部材の貼り付けおよび引き剥がしを容易に行うことが可能となる。また、基材に他の半導体基板を用いることにより、弾性係数や熱膨張係数などを半導体基板と一致させることができとなり、半導体基板を安定して保持することが可能となる。

40

(9) 本発明の半導体モジュールの製造方法は、第1の半導体基板に開口部を形成する工程と、前記開口部内に埋め込み電極を形成する工程と、前記半導体基板の前記開口部が形成された面の裏面から、前記半導体基板をスピニエッチングすることにより、前記半導体基板を薄型化して前記半導体基板に前記開口部を貫通させる工程と、前記第1の半導体

50

基板を電極を有する第2の半導体基板上に搭載し、前記埋め込み電極と前記電極とを電気的に接続する工程と、を備えることを特徴とする。

【0009】

これにより、半導体基板をスピニエッチングにより薄型化することが可能となり、被エッチング面の平坦性を損なうことなく、半導体基板に貫通電極を形成することが可能となる。また、短時間に、半導体基板を薄型化して、貫通電極を露出させることができる。このため、半導体装置の信頼性を低下させることなく、貫通電極を効率よく形成することが可能となり、半導体装置のスループットを向上させることができることが可能となる。また、半導体基板の積層構造を精度よく構築することが可能となる。

【0010】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置の製造方法および半導体モジュールの製造方法について、図面を参照しながら説明する。

図1～3は、本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【0011】

図1(a)において、半導体基板1の表面1'には電極パッド2が形成されている。半導体基板1は、半導体ウエハであってもよいし、半導体ウエハを個片化した半導体チップであってもよい。半導体基板1内には、集積回路が形成されており、電極パッド2は集積回路に電気的に接続している。半導体基板1は、表面1'に電極パッド2のパッシベーション膜として絶縁膜2'を有していてもよい。この場合、パッシベーション膜は、電極パッド2上に位置する開口部を有していてもよい。

【0012】

次に半導体基板1に開口部3を形成する。例えば、フォトリソグラフィー技術およびエッチング技術を用いることにより、開口部3を形成してもよい。半導体基板1の電極パッド2を含む領域に、開口部3を形成してもよい。すなわち、開口部3は、電極パッド2を貫通していてもよい。開口部3の開口面積は、パッシベーション膜の開口部の開口面積よりも小さくてもよい。開口部3の形成後において、電極パッド2の上面の少なくとも一部は、パッシベーション膜の開口部内で露出されて設けられていてもよい。開口部3は、半導体基板1に複数設けられている。複数の開口部3の深さは等しくてもよいし、異なっていてもよい。

【0013】

ここで、開口部3の深さD1は、半導体基板1の厚みT1よりも小さく形成される。すなわち、開口部3は、半導体基板1の厚み方向に深く形成され、半導体基板1内に底部が形成される。例えば、半導体基板1の厚みT1は6インチウェハを用いた場合、 $625\mu m$ 、8インチウェハを用いた場合、 $725\mu m$ とすることができ、開口部3の深さD1は、例えば、 $70\mu m$ とすることができる。

【0014】

なお、半導体基板1への開口部3の形成は、ドライエッチングやウェットエッチング等のエッチング技術を用いる方法のほか、例えば、レーザ技術を用いるようにしてもよい。開口部3は、半導体基板1の表面1'に対して側面が垂直になるように形成されて、開口部の断面が筒型形状になるように形成されてもよい。また、開口部3は、開口部の断面が樽型形状又は鼓型形状になるように形成されてもよい。

【0015】

次に、図1(b)に示すように、開口部3内の底面および側面に絶縁膜4を形成する。半導体基板1の表面上にも形成されていてもよい。例えば、絶縁膜4は、CVDや熱酸化により形成してもよい。なお、絶縁膜4としては、例えば、酸化珪素膜または窒化珪素膜、樹脂膜などを用いることができる。

次に、図1(c)に示すように、開口部3内を含む半導体基板1上に導電膜5を形成してもよい。導電膜5は、例えば、スパッタまたは蒸着などにより形成してもよい。なお、導電膜5としては、例えば、ニッケルNi、クロムCr、チタンTi、タンゲステンW、チ

10

20

30

40

50

タンタングステンTiW、窒化チタンTiNなどの導電材料を用いることができる。導電膜5は、後述する埋め込み電極7をメッキ法によって形成する場合のメッキ電極であってもよいし、埋め込み電極7のバリアメタルであってもよい。この場合、導電膜5は、埋め込み電極7を構成する導電材料よりも半導体材料への拡散係数が低い導電材料から構成されてもよい。また、導電膜5は、反射防止膜であってもよいし、埋め込み電極7の半導体基板1等に対する密着性向上膜であってもよい。

【0016】

次に、開口部3に対応した位置に開口部6'が設けられたレジスト層6を、シード電極5が形成された半導体基板1上に形成してもよい。開口部6'の開口面積は、開口部3の開口面積よりも大きくてよい。また、開口部6'の開口面積は、パッシベーション膜の開口部の開口面積よりも大きくてよい。

10

そして、開口部3内に埋め込み電極7を形成する。導電膜5をメッキ電極とした電解メッキ法を用いて、埋め込み電極7を形成してもよい。埋め込み電極7は、電解メッキ法を用いる方法のほか、例えば、インクジェット法により、導電性スラリーや導電性ペーストなどを開口部3内に吐出させるようにして形成してもよいし、無電解メッキ法を用いてもよいし、スパッタ法やCVD法により形成してもよい。埋め込み電極7としては、例えば、ニッケルNi、銅Cu、金Au、タンゲステンWやこれらの化合物、合金などを用いることができる。

【0017】

埋め込み電極7は、開口部3内だけでなく、半導体基板1の表面1'上に設けられていてよい。この場合、電極パッド2の上面に被着して設けられていてもよい。埋め込み電極7は、半導体基板の表面1'上の絶縁膜4上に設けられていてもよい。また、埋め込み電極7は、開口部3だけでなく、メッキレジスト層6に設けられた開口部6'内にも設けられてもよい。すなわち、埋め込み電極7は、開口部3上に盛り上がるようにして、開口部3だけでなく、開口部6'を埋め込むように形成することができる。これにより、半導体基板の表面1'上にも、埋め込み電極7を突出させて形成してもよい。これにより、図3(d)における半導体基板1の積層構造において、層間接続をさらに安定して行うことができる。

20

【0018】

次に、図1(d)に示すように、メッキレジスト層6を除去してもよい。さらに、図2(a)に示すように、半導体基板1の表面1'に保持部材9を貼り付けてもよい。ここで、保持部材9には、基材と、基材表面に設けられ、基材から剥離可能な粘着層8と、を含む。この粘着層8を介して保持部材9を半導体基板1の表面1'に貼り付けることにより、保持部材9の貼り付けおよび引き剥がしを容易に行うことを行ふことを可能としつつ、半導体基板1を支持することが可能となる。なお、保持部材9としては、例えば、樹脂や布などでできたテープやフィルム等の基材と、基材の表面に形成された粘着層と、を含んでもよい。

30

【0019】

また、保持部材9は、基材が透光性基板であってもよい。この場合、基材を介して粘着層に光照射を行うことが可能となる。このため、粘着層として感光性の粘着層を用いることにより、保持部材9の貼り付けまたは引き剥がしを容易に行うことが可能となる。例えば、透光性基板はガラス基板やであってもよい。さらに、保持部材9は、基材が半導体基板であってもよい。この場合、粘着層を構成する材料として感熱性の粘着材を用いることにより、保持部材の弾性係数や熱膨張係数などを半導体基板1に近くすることが可能となる。このため、保持部材9によって、半導体基板1を安定して保持することが可能となる。

40

【0020】

次に、図2(b)～(d)に示すように、半導体基板1を薄型化して、開口部3を半導体基板1に貫通させる。これにより、開口部3内の埋め込み電極7を半導体基板1に貫通させて、貫通電極7'を形成する。

この半導体基板1の薄型化工程において、まず半導体基板1の裏面1''を研削することにより、半導体基板1を薄型化してもよい。研削には、機械的研削を用いてもよいし、C

50

MPを用いてもよい。半導体基板1を保持部材9で保持しながら、研削してもよい。この場合、半導体基板1の裏面1'の研削は、絶縁膜4又は埋め込み電極7が露出する前に終了させる。すなわち、研削後の半導体基板1の厚みT2は、研削前の半導体基板1の厚みよりも小さく、かつ、開口部3の深さD1よりも大きくなる。例えば、研削後の半導体基板1の厚みT2は、 $100\mu m$ とすることができます。半導体基板1の裏面1'を研削すると、半導体基板1の粉碎層9が半導体基板1の裏面1'に形成される場合がある。

【0021】

図4は、本発明の一実施形態に係る半導体装置の製造方法にいて、半導体基板1の薄型化工程において研削を行う場合の一例を示す斜視図である。

図4において、半導体基板1を載置するテーブル21には回転軸22が設けられている。10 テーブル21の上方には砥石23が設けられている。一方、半導体基板1の表面1'には半導体基板1を保持する保持部材9が貼り付けられていてもよい。

【0022】

そして、半導体基板1の裏面1'を研削する場合、半導体基板1側をテーブル21上に載置し、半導体基板1の裏面1'を砥石23側に向ける。砥石23の研削面が半導体基板1の裏面1'に接触するようにして、砥石23を半導体基板1の裏面1'に押し付けながら、砥石23を回転させる。さらに、回転軸22を中心としてテーブル21を回転させ、半導体基板1を回転させてもよい。これにより、半導体基板1および砥石23少なくとも一方の回転速度を上げることにより、半導体基板1の裏面の研削速度を容易に増加させることができるとなる。従って、半導体基板1の薄型化工程を短時間に行なうことが可能となる。また、砥石23の研削面を半導体基板1の裏面に部分的に接触させて研削すれば、砥石23が半導体基板1の裏面を擦る時の速度分布を均一化することが可能となり、半導体ウェハWの厚みの均一性を維持することが可能となる。

【0023】

次に、図2(d)に示すように、半導体基板1を裏面1'からスピニエッチングすることにより、半導体基板1を薄型化し、開口部3を半導体基板1に貫通させて、半導体基板1に貫通孔3'を形成する。これにより、絶縁膜4又は埋め込み電極7の少なくとも先端を露出させる。スピニエッチングは、半導体基板1を回転させながら、エッチングを行うことである。ここで、エッチングは、ウェットエッチングでもよいし、ドライエッチングであってもよい。なお、スピニエッチング時に薬液を使用する場合、例えば、フッ酸と硝酸との混合液などを用いることができる。

【0024】

これにより、半導体基板1の薄型化および貫通電極7'の形成を行う場合に、半導体基板1の被エッチング面の平坦性を維持することができ、かつ、絶縁膜4又は埋め込み電極7の先端を精度よく露出することができる。半導体基板1の薄型化および貫通電極7'の形成を行うために要する時間を短縮することができる。また、研削を行った場合に半導体基板1に粉碎層9が形成されている場合には、粉碎層9を除去することができる。粉碎層9の除去を同時に行なうことができる。このため、貫通電極7'の品質を劣化させることなく、半導体基板1に貫通電極7'を効率よく形成することが可能となり、半導体装置のスループットを向上させることが可能となる。

【0025】

貫通孔3'形成の際、開口部3内の絶縁膜4の少なくとも一部を露出させてもよい。貫通孔3'の形成の際に、絶縁膜4も同時に除去して、埋め込み電極7の先端を露出させてもよい。なお、スピニエッチング後の半導体基板1の厚みT3は、半導体基板1の厚みT1よりも小さく、開口部3の深さよりも小さい。例えば、半導体基板1の厚みT3は、 $50\mu m$ とすることができます。

【0026】

図5は、本発明の一実施形態に係る半導体装置の製造方法における半導体基板1のスピニエッチング工程の一例を示す斜視図である。

図5において、半導体基板1を載置するテーブル31には回転軸32が設けられるととも

10

20

30

40

40

に、テーブル 3 1 の上方には、薬液 3 4 を供給する薬液供給部 3 3 が設けられている。一方、半導体基板 1 の表面 1' には半導体基板 1 を保持する保持部材 9 が貼り付けられてもよい。

【0027】

そして、半導体基板 1 の裏面 1'' をスピニエッティングする場合、半導体基板 1 の表面 1' (保持部材 9 が設けられた場合、保持部材 9 が設けられた面) がテーブル 3 1 の表面に対向するように、半導体基板 1 をテーブル 3 1 上に載置し、半導体基板 1 の裏面 1'' を薬液供給部 3 3 側に向ける。

そして、回転軸 3 2 を中心とし、インデックステーブル 3 1 を回転させ、半導体基板 1 を回転させるとともに、薬液供給部 3 3 を半導体基板 1 の上方で移動させながら、薬液 3 4 を半導体基板 1 の裏面 1'' 上に垂らすことにより、半導体基板 1 の裏面からエッティングする。

【0028】

なお、薬液 3 4 を半導体基板 1 の裏面 1'' 上に接触させる場合、薬液 3 4 を半導体基板 1 の裏面 1'' 上に噴射させるようにしてもよく、薬液 3 4 を蒸気の状態にして、半導体基板 1 の裏面を薬液 3 4 に晒すようにしてもよい。

図 6 は、本発明の一実施形態に係る半導体装置の製造方法の半導体基板 1 のスピニエッティング工程におけるエッティングレートと時間との関係を示す図である。

【0029】

図 6 は、半導体基板 1 のスピニエッティング工程において、半導体基板 1 のエッティングレートが異なる複数の条件に切り替えてエッティングを行うことを示す。すなわち、半導体基板 1 のスピニエッティング工程において、半導体基板 1 に対するエッティングレートが経時変化するようにエッティングを行うことを示す。

例えば、図 6において、まず半導体基板 1 のスピニエッティング工程における半導体基板 1 のエッティングレートが R 1 となる条件を用いて、半導体基板 1 の裏面 1'' をスピニエッティングすることにより半導体基板 1 の薄型化を行う。次に、半導体基板 1 のスピニエッティング工程において、半導体基板 1 のエッティングレートが R 1 よりも遅い R 2 となる条件を用いて、半導体基板 1 の裏面 1'' をスピニエッティングする。

【0030】

図 6 を用いて、エッティングレートが経時変化するような例を示したが、本願はこれに限定されるものではなく、エッティングレートが経時変化しない場合であってもよい。

これにより、図 2 (d) に示すように、開口部 3 を半導体基板 1 に貫通させる。絶縁膜 4 又は埋め込み電極 7 の先端を精度良く露出させることができる。

【0031】

これにより、スピニエッティングのエッティングレートが長時間に渡って低下することを防止しつつ、スピニエッティングのエッティング量の面内バラツキを低減させることができるとなる。従って、半導体装置のスループットの低下を抑制しつつ、貫通電極 7' の突出高さの均一性を向上させることができるとなる。

次に、図 3 (a) に示すように、貫通電極 7' の先端の絶縁膜 4 を除去する。これは、貫通電極 7' の先端の絶縁膜 4 を研削することにより除去してもよい。貫通電極 7' の先端は、半導体基板 1 の裏面から突出しているので、半導体基板 1 の裏面を研削面上に載置した際に、貫通電極 7' の先端の絶縁膜 4 を研削面に強く押し当てることができる。このため、研削を用いた場合、貫通電極 7' の先端の絶縁膜 4 を効率よく露出することができる。従って、研削を用いて貫通電極 7' の先端の絶縁膜 4 を研削することにより、貫通電極 7' の先端の絶縁膜 4 を効率よく除去することができる。

【0032】

ここで、貫通電極 7' の先端に設けられた絶縁膜 4 を研削する場合、機械的研削または図 7 に示す CMP (化学的機械的研磨) 等の研削、又は、エッティング等を用いることができる。

図 7 は、本発明の一実施形態に係る半導体装置の製造方法における半導体絶縁膜 4 の研削

工程の一例を示す斜視図である。図7に示す例では、絶縁膜4を研削する方法として、C M P (Chemical Mechanical Polishing)を使用した例を示す。この場合、半導体基板1の裏面1'にスラリー47を供給しながら、半導体基板1の裏面1'を機械的研磨することにより、C M Pを行う。半導体基板1の表面1'側に保持部材9が形成された状態でC M Pされてもよい。これにより、半導体基板1に与える損傷を抑制し、貫通電極7'の突出高さの均一性を維持しつつ、貫通電極7'の先端の絶縁膜4を効率よく除去することができる。

【0033】

以上によって、貫通電極7を有する半導体基板1を含む半導体装置を製造することができる。
10

次に、このように製造された半導体装置を積層して、半導体モジュールを形成する。貫通電極7を含む半導体基板1を、電極を含む他の半導体基板上に搭載し、電極と貫通電極7とを電気的に接続する。図3(b)に示すように、上記半導体基板1に対応する各半導体基板1a～1cに形成された貫通電極7に対応する貫通電極7a～7cが接合するよう⁽に、半導体基板1a～1cを積層する。この半導体基板1a～1c間の隙間に樹脂10a、10bを形成してもよい。こうして半導体基板1a～1cの積層構造を含む半導体モジュールを製造する。

【0034】

これにより、貫通電極貫通電極7a～7cの品質を劣化させることなく、貫通電極7a～7cを効率よく形成することが可能となり、貫通電極7a～7cの形成時のスループットを向上させることができるとともに、半導体基板1a～1cの積層構造を精度よく構築することが可能となる。
20

なお、上述した実施形態では、半導体基板1に貫通電極を形成する方法について説明したが、本発明は、半導体基板1に限定されることなく、例えば、能動素子が形成された基板に貫通電極を形成する電子装置及び電子モジュールの製造方法に適用してもよい。例えば、薄膜トランジスタなどが形成されたガラス基板に貫通電極を形成する方法に適用してもよい。

【0035】

【発明の効果】

以上説明したように、本発明によれば、スピニエッティングを用いて貫通電極を形成することにより、貫通電極の品質を劣化させることなく、貫通電極を効率よく形成することが可能となる。
30

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の製造方法を示す断面図。

【図2】本発明の一実施形態に係る半導体装置の製造方法を示す断面図。

【図3】本発明の一実施形態に係る半導体装置の製造方法を示す断面図。

【図4】本発明の一実施形態に係る半導体基板の研削方法を示す斜視図。

【図5】一実施形態の半導体基板のスピニエッティング方法を示す斜視図。

【図6】スピニエッティング工程のエッティングレートの設定方法を示す図。

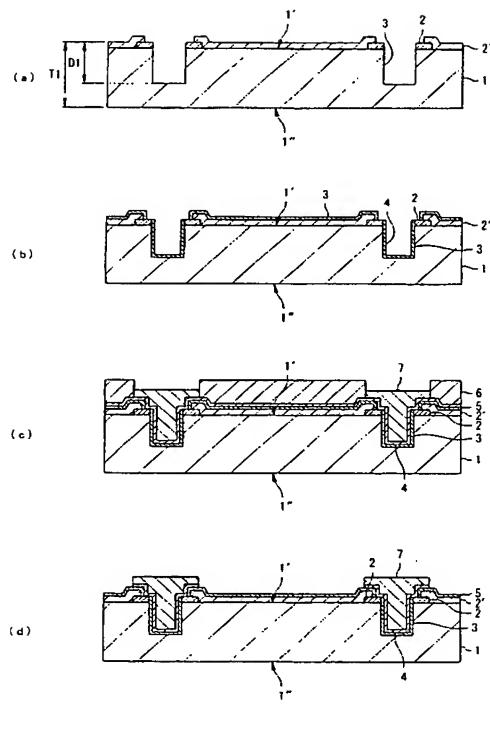
【図7】一実施形態に係る半導体基板のC M P方法を示す斜視図。

【図8】従来の半導体装置の製造方法を示す断面図。

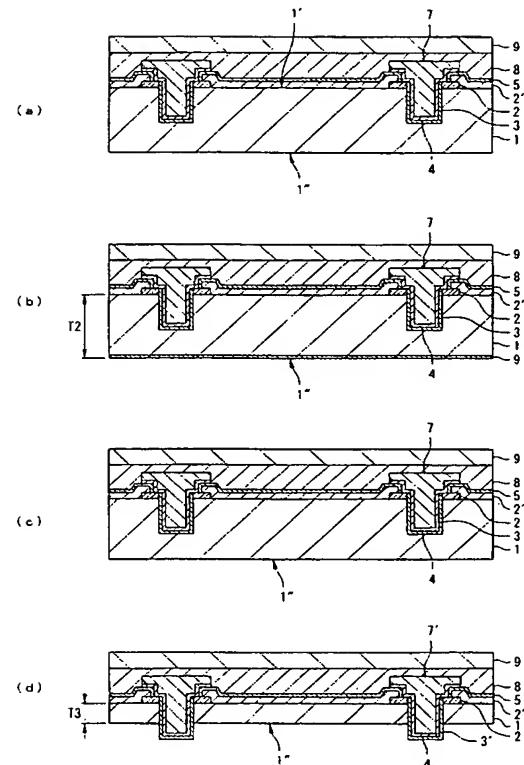
【符号の説明】

1、1a～1c 半導体基板、1' 表面、1'' 裏面、2 電極パッド、3 開口部、3'、3a～3c 貫通孔、2'、4 絶縁膜、5 導電膜、6 レジスト層、6' 開口部、7 埋め込み電極、7'、7a～7c 貫通電極、8 粘着層、9、10a、10b 樹脂、21, 31テーブル、22, 32, 42, 45 回転軸、23 砥石、33 薬液供給部、34 薬液、41 研削板、43 研削布、44 加圧ヘッド、46 スラリー供給部、47 スラリー
40

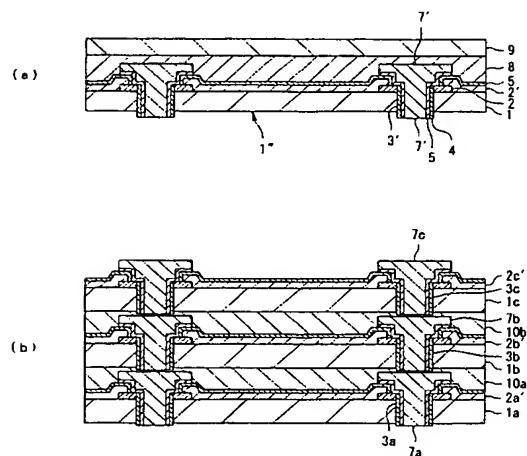
【図1】



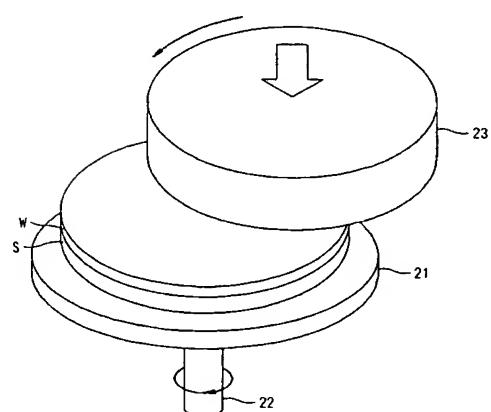
【図2】



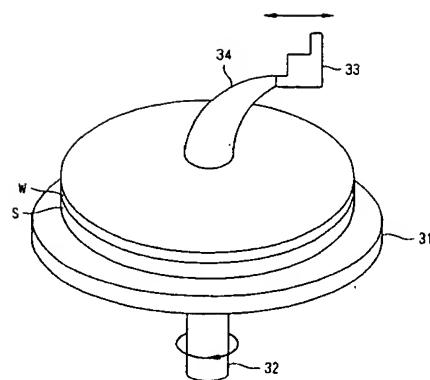
【図3】



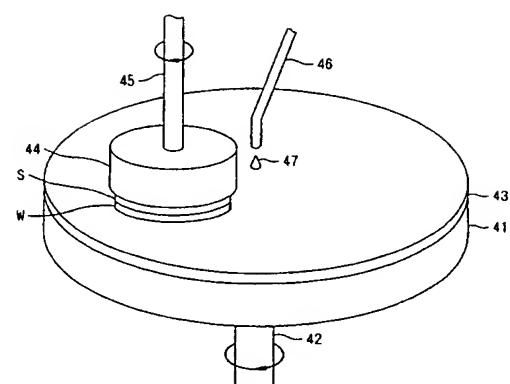
【図4】



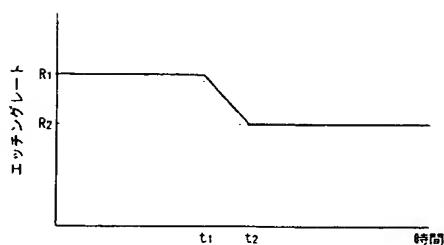
【図 5】



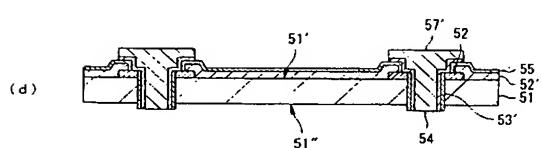
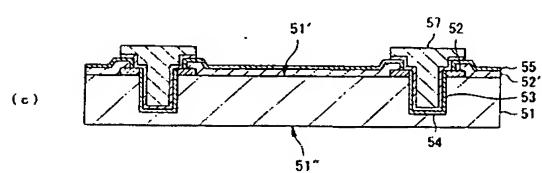
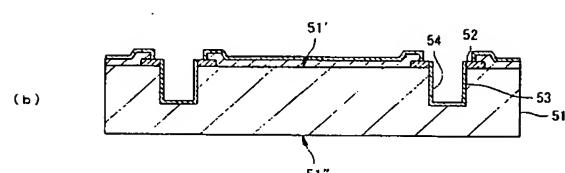
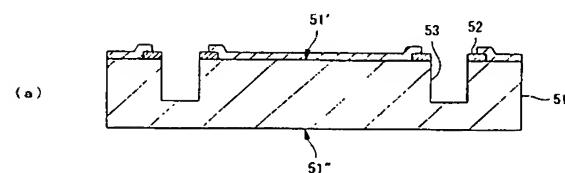
【図 7】



【図 6】



【図 8】



フロントページの続き

F ターム(参考) 5F033 CG04 HH07 HH11 HH13 HH17 HH18 HH19 HH23 HH33 JJ01
JJ07 JJ11 JJ13 JJ17 JJ18 JJ19 JJ23 JJ33 MM05 MM13
MM30 NN05 NN07 PP15 PP19 PP26 PP27 PP28 QQ03 QQ73
QQ76 RR04 RR06 RR21 SS11 SS25 SS27 XX14

(

(

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年10月27日(2005.10.27)

【公開番号】特開2004-228392(P2004-228392A)

【公開日】平成16年8月12日(2004.8.12)

【年通号数】公開・登録公報2004-031

【出願番号】特願2003-15517(P2003-15517)

【国際特許分類第7版】

H 01 L 25/065

H 01 L 21/304

H 01 L 21/3205

H 01 L 25/07

H 01 L 25/18

【F I】

H 01 L 25/08 Z

H 01 L 21/304 6 2 2 X

H 01 L 21/88 J

【手続補正書】

【提出日】平成17年8月29日(2005.8.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

次に、図2(b)～(d)に示すように、半導体基板1を薄型化して、開口部3を半導体基板1に貫通させる。これにより、開口部3内の埋め込み電極7を半導体基板1に貫通させて、貫通電極7'を形成する。

この半導体基板1の薄型化工程において、まず半導体基板1の裏面1'を研削することにより、半導体基板1を薄型化してもよい。研削には、機械的研削を用いてもよいし、CMPを用いてもよい。半導体基板1を保持部材9で保持しながら、研削してもよい。この場合、半導体基板1の裏面1'の研削は、絶縁膜4又は埋め込み電極7が露出する前に終了させる。すなわち、研削後の半導体基板1の厚みT2は、研削前の半導体基板1の厚みよりも小さく、かつ、開口部3の深さD1よりも大きくなる。例えば、研削後の半導体基板1の厚みT2は、100μmとすることができる。半導体基板1の裏面1'を研削すると、半導体基板1の粉碎層9'が半導体基板1の裏面1'に形成される場合がある。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

図4は、本発明の一実施形態に係る半導体装置の製造方法について、半導体基板1の薄型化工程において研削を行う場合の一例を示す斜視図である。

図4において、半導体基板Wを載置するテーブル21には回転軸22が設けられている。テーブル21の上方には砥石23が設けられている。一方、半導体基板1の表面1'には半導体基板1を保持する保持部材Sが貼り付けられていてもよい。

【手続補正3】**【補正対象書類名】**明細書**【補正対象項目名】**0022**【補正方法】**変更**【補正の内容】****【0022】**

そして、半導体基板1の裏面1'を研削する場合、半導体基板1の表面1'側をテーブル21上に載置し、半導体基板1の裏面1'を砥石23側に向ける。砥石23の研削面が半導体基板1の裏面1'に接触するようにして、砥石23を半導体基板1の裏面1'に押し付けながら、砥石23を回転させる。さらに、回転軸22を中心としてテーブル21を回転させ、半導体基板1を回転させててもよい。これにより、半導体基板1および砥石23少なくとも一方の回転速度を上げることにより、半導体基板1の裏面の研削速度を容易に増加させることが可能となる。従って、半導体基板1の薄型化工程を短時間に行なうことが可能となる。また、砥石23の研削面を半導体基板1の裏面に部分的に接触させて研削すれば、砥石23が半導体基板1の裏面を擦る時の速度分布を均一化することが可能となり、半導体ウェハWの厚みの均一性を維持することが可能となる。

【手続補正4】**【補正対象書類名】**明細書**【補正対象項目名】**0024**【補正方法】**変更**【補正の内容】****【0024】**

これにより、半導体基板1の薄型化および貫通電極7'の形成を行う場合に、半導体基板1の被エッチング面の平坦性を維持することができ、かつ、絶縁膜4又は埋め込み電極7の先端を精度よく露出することができる。半導体基板1の薄型化および貫通電極7'の形成を行うために要する時間を短縮することができる。また、研削を行った場合に半導体基板1に粉碎層9'が形成されている場合には、粉碎層9'を除去することができる。粉碎層9'の除去を同時に行なうことができる。このため、貫通電極7'の品質を劣化させることなく、半導体基板1に貫通電極7'を効率よく形成することが可能となり、半導体装置のスループットを向上させることができる。

【手続補正5】**【補正対象書類名】**明細書**【補正対象項目名】**0027**【補正方法】**変更**【補正の内容】****【0027】**

そして、半導体基板1の裏面1'をスピニエッティングする場合、半導体基板1の表面1'（保持部材9が設けられた場合、保持部材9が設けられた面）がテーブル31の表面に対向するように、半導体基板1をテーブル31上に載置し、半導体基板1の裏面1'を薬液供給部33側に向ける。

そして、回転軸32を中心とし、インデックステーブル31を回転させ、半導体基板1を回転させるとともに、薬液供給部33を半導体基板1の上方で移動させながら、薬液34を半導体基板1の裏面1'上に垂らすことにより、半導体基板1の裏面1'からエッチングする。

【手続補正6】**【補正対象書類名】**明細書**【補正対象項目名】**0029**【補正方法】**変更**【補正の内容】****【0029】**

図6は、半導体基板1のスピニエッチング工程において、半導体基板1のエッティングレートが異なる複数の条件に切り替えてエッティングを行うことを示す。すなわち、半導体基板1のスピニエッチング工程において、半導体基板1に対するエッティングレートが経時変化するようにエッティングを行うことを示す。

例えば、図6において、まず半導体基板1のスピニエッチング工程における半導体基板1のエッティングレートがR1となる条件を用いて、半導体基板1の裏面1'をスピニエッチングすることにより半導体基板1の薄型化を行う。次に、半導体基板1のスピニエッチング工程において、半導体基板1のエッティングレートがR1よりも遅いR2となる条件を用いて、半導体基板1の裏面1'をスピニエッチングする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

ここで、貫通電極7'の先端に設けられた絶縁膜4を研削する場合、機械的研削または図7に示すCMP(化学的機械的研磨)等の研削、又は、エッティング等を用いることができる。

図7は、本発明の一実施形態に係る半導体装置の製造方法における絶縁膜4の研削工程の一例を示す斜視図である。図7に示す例では、絶縁膜4を研削する方法として、CMP(Chemical Mechanical Polishing)を使用した例を示す。この場合、半導体基板1の裏面1'にスラリー47を供給しながら、半導体基板1の裏面1'を機械的研磨することにより、CMPを行う。半導体基板1の表面1'側に保持部材9が形成された状態でCMPされてもよい。これにより、半導体基板1に与える損傷を抑制し、貫通電極7'の突出高さの均一性を維持しつつ、貫通電極7'の先端の絶縁膜4を効率よく除去することができる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

これにより、貫通電極7a～7cの品質を劣化させることなく、貫通電極7a～7cを効率よく形成することが可能となり、貫通電極7a～7cの形成時のスループットを向上させることができるとともに、半導体基板1a～1cの積層構造を精度よく構築することができる。

なお、上述した実施形態では、半導体基板1に貫通電極を形成する方法について説明したが、本発明は、半導体基板1に限定されることなく、例えば、能動素子が形成された基板に貫通電極を形成する電子装置及び電子モジュールの製造方法に適用してもよい。例えば、薄膜トランジスタなどが形成されたガラス基板に貫通電極を形成する方法に適用してもよい。